

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-101990

(43)Date of publication of application : 13.04.1999

(51)Int.Cl.

G02F 1/136
G02B 5/00
G02F 1/1335
G02F 1/1343
H01L 21/768

(21)Application number : 09-262270

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 26.09.1997

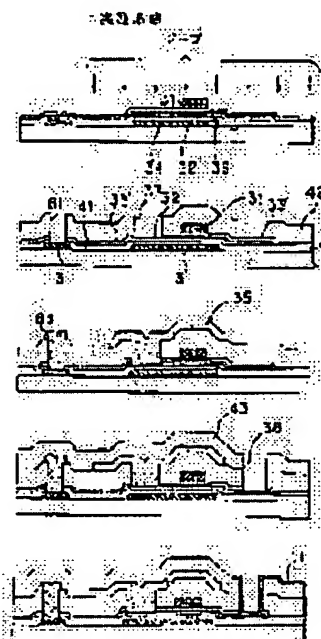
(72)Inventor : SATO TAKASHI

(54) MANUFACTURE OF LIQUID CRYSTAL DISPLAY PANEL AND LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method of a liquid crystal display panel of an active matrix driving system which can electrically connect a light shielding layer with a constant potential wiring by forming a contact hole without increasing number of processes.

SOLUTION: The light shielding layer 3, a first interlayer insulating layer 41, a channel layer 32, a thermally oxidized film 33', a HTO film 33'', a gate electrode 31 and a second interlayer insulating layer 42 are successively formed upward on a first substrate 1. Then a contact hole 81 for the light shielding layer and a contact hole 37 for a source electrode are simultaneously formed by executing wet etching with an etching soln. having a high selection ratio to the channel layer as shown in a process (8). Further, at the time of forming the source electrode 35, the constant potential wiring 83 made of the same material as that of the source electrode 35 is formed to electrically connect the constant potential wiring 83 with the light shielding layer 3 as shown in a process (9).



LEGAL STATUS

[Date of request for examination] 30.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3780653

[Date of registration] 17.03.2006

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-101990

(43) 公開日 平成11年(1999) 4月13日

(51) Int.Cl. ⁶	識別記号	F I
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136 5 0 0
G 0 2 B 5/00		G 0 2 B 5/00 B
G 0 2 F 1/1335	5 0 0	G 0 2 F 1/1335 5 0 0
1/1343		1/1343
H 0 1 L 21/768		H 0 1 L 21/90 B
審査請求 未請求 請求項の数 3 O L (全 19 頁)		

(21) 出願番号 特願平9-262270

(22) 出願日 平成9年(1997) 9月26日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 佐藤 尚

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

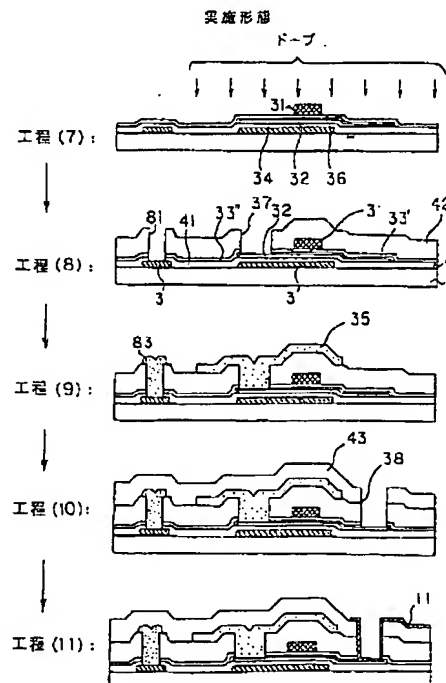
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 液晶表示パネルの製造方法及び液晶表示パネル

(57) 【要約】

【課題】 工程数を増やすことなく、コンタクトホールを形成して遮光層と定電位配線とを電氣的に接続させることのできるアクティブマトリクス駆動方式の液晶表示パネルの製造方法を提供すること。

【解決手段】 第1基板(1)上に、順に、遮光層(3)、第1層間絶縁層(41)、チャネル層(32)、熱酸化膜(33')、HTO膜(33'')、ゲート電極31、及び第2層間絶縁層42を上形成した後、チャネル層との選択比の高いエッチング液によりウエットエッチングを行って、工程(8)に示すように、遮光層用コンタクトホール(81)と、ソース電極用コンタクトホール(37)とを同時に形成する。更に、工程(9)に示すように、ソース電極(35)を形成する際に、ソース電極(35)と同材料の定電位配線(83)を形成して、定電位配線(83)と遮光層3との電氣的接続を図る。



【特許請求の範囲】

【請求項 1】 一対の第 1 及び第 2 基板と、該第 1 及び第 2 基板間に挟持された液晶と、前記第 1 基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、各画素電極に対応して複数の信号電極と複数のスイッチング素子が形成され、前記信号電極からのデータに基づいて該スイッチング素子を介して前記画素電極に電圧が印加される液晶表示パネルの製造方法であって、
前記第 1 基板と前記スイッチング素子との間で、前記複数のスイッチング素子に夫々対向する前記第 1 基板上の位置に高融点金属又はシリサイドからなる遮光層を形成する工程と、
チャンネル層を有する前記複数のスイッチング素子を形成する工程と、
前記信号電極を形成し前記信号電極と前記チャンネル層とを電氣的に接続する工程と、
前記画素電極を形成し前記画素電極と前記チャンネル層とを電氣的に接続する工程と、
定電位源に接続される導電層を形成し前記遮光層と電氣的に接続する工程と、
前記各工程間あるいは各工程内において層間絶縁層を形成する工程とを備え、
前記導電層を形成して前記遮光層と電氣的に接続する工程は、前記チャンネル層との選択比の高いエッチングにより、前記信号電極とチャンネル層との電氣的接続を行うためのコンタクトホールと前記遮光層と前記導電層との電氣的接続を行うための遮光層用のコンタクトホールとを同時に形成する第 1 の工程と、前記信号電極と同材料の導電層を前記信号電極と同時に形成する第 2 の工程とから構成される、
ことを特徴とする液晶表示パネルの製造方法。
【請求項 2】 一対の第 1 及び第 2 基板と、該第 1 及び第 2 基板間に挟持された液晶と、前記第 1 基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、各画素電極に対応して複数の信号電極と複数のスイッチング素子が形成され、前記信号電極からのデータに基づいて該スイッチング素子を介して前記画素電極に電圧が印加される液晶表示パネルの製造方法であって、
前記第 1 基板と前記スイッチング素子との間で、前記複数のスイッチング素子に夫々対向する前記第 1 基板上の位置に高融点金属からなる遮光層を形成する工程と、
チャンネル層を有する前記複数のスイッチング素子を形成する工程と、
前記信号電極を形成し前記信号電極と前記チャンネル層とを電氣的に接続する工程と、
前記画素電極を形成し前記画素電極と前記チャンネル層とを電氣的に接続する工程と、
定電位源に接続される導電層を形成し前記遮光層と電氣

的に接続する工程と、
前記各工程間あるいは各工程内において層間絶縁層を形成する工程とを備え、
前記導電層を形成して前記遮光層と電氣的に接続する工程は、前記信号電極と前記チャンネル層との電氣的接続を行うためのコンタクトホールと、前記遮光層と前記導電層との電氣的接続を行うための遮光層用のコンタクトホールの基礎となるホールとを同時に形成する第 1 の工程と、前記基礎となるホール及び信号電極上に絶縁層を設ける第 2 の工程と、該チャンネル層と前記画素電極との電氣的接続を行うためのコンタクトホールと、前記基礎となるホール上の絶縁層から前記遮光層に至る前記遮光層用コンタクトホールとを同時に形成する第 3 の工程と、前記画素電極と同材料の導電層を前記画素電極と同時に形成する第 4 の工程とから構成される、
ことを特徴とする液晶表示パネルの製造方法。
【請求項 3】 一対の第 1 及び第 2 基板と、
該第 1 及び第 2 基板間に挟持された液晶と、
前記第 1 基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、
該複数の画素電極に夫々隣接する位置において前記第 1 基板に設けられており前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、
前記複数のスイッチング素子に夫々対向する位置において前記第 1 基板と前記複数のスイッチング素子との間に夫々設けられた高融点金属又はシリサイドからなる遮光層と、
前記画素電極と同材料からなり前記遮光層と電氣的に接続される透明導電膜と、
前記複数の遮光層と前記複数のスイッチング素子との間、及び前記遮光層と前記導電層との間に設けられた層間絶縁層と、
液晶表示パネルの実装端子に電氣的に接続される金属層とを備え、
前記透明導電膜と前記金属層は、前記スイッチング素子のチャンネル層またはゲート電極を介して電氣的に接続されている、
ことを特徴とする液晶表示パネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TFT（薄膜トランジスタ）駆動によるアクティブマトリクス駆動方式の液晶表示パネルの技術分野に属し、特に、液晶プロジェクト等に用いられる、TFTの下側にブラックマトリクスを設けた形式の液晶表示パネルの技術分野に属する。

【0002】

【従来の技術】従来、この種の液晶プロジェクト等にライトバルブとして用いられる液晶表示パネルにおいては、一般に、液晶層を挟んでTFTアレイ基板に対向配置される対向基板の側から投射光が入射される。ここで、投

射光がTFTのa-Si（アモルファスシリコン）膜やp-Si（ポリシリコン）膜から構成されたチャネル形成用の領域に入射すると、この領域において光電変換効果により光電流が発生してしまいTFTのトランジスタ特性が劣化する。このため、対向基板には、各TFTに夫々対向する位置に複数のブラックマトリクスと呼ばれる遮光層が形成されるのが一般的である。このようなブラックマトリクスは、Cr（クロム）などの金属材料や、カーボンをフォトリソに分散した樹脂ブラックなどの材料から作られ、上述のTFTのa-Si膜やp-Si膜に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を有する。

【0003】更に、この種の液晶表示パネルにおいては特にトップゲート構造（即ち、TFTアレイ基板上においてゲート電極がチャネルの上側に設けられた構造）を採る正スタガ型またはコプレーナ型のa-Si又はp-SiTFTを用いる場合には、投射光の一部が液晶プロジェクト内の投射光学系により戻り光として、TFTアレイ基板の側からTFTのチャネルに入射するのを防ぐ必要がある。

【0004】このために、特開平9-127497号公報、特公平3-52611号公報、特開平3-125123号公報、特開平8-171101号公報等では、石英基板等からなるTFTアレイ基板上においてTFTに対向する位置（即ち、TFTの下側）にも、遮光層を形成する技術を提案している。この遮光層により、TFTのp-Si膜に対する戻り光の遮光が可能となるとされている。特にこの技術によれば、TFTアレイ基板の上のブラックマトリクス形成工程の後に行われるTFT形成工程における高温処理により、遮光層が破壊されたり溶融したりしないようにするために、遮光層を不透明な高融点金属から形成するようにしている。

【0005】しかし、遮光層を高融点金属で形成した場合には、TFTと絶縁を図る必要があり、遮光層とTFTとの間に絶縁層が設けられる。その結果、例えばトップゲート型TFTでは、ソース、ドレインとなるポリシリコン層と遮光層とが絶縁層を介して対向し、コンデンサを形成することになる。そして、遮光層はフローティング電位であるため、ポリシリコン層の電荷の影響を受けて、遮光層の電荷が変動する。逆にTFTも遮光層の電荷の影響を受けることになり、この遮光層が本来のゲートとは別のゲートとして機能するおそれがある。すなわち、遮光層の持つ電荷に起因してTFTにリーク電流が流れたり、あるいは、TFTにリーク電流が流れたり、あるいはTFTのゲートに高い電圧を印加しなければ、TFTがオンしなくなる。このことは、TFTと遮光層とを絶縁する絶縁膜が薄い程顕著であり、これを防止するためには、遮光層の持つ電荷がTFTに影響しない程のかなり厚い絶縁層を形成しなければならない。このような現象は、スイッチング素子として、バックツ

バックダイオードを用いた場合も同様である。

【0006】そこで、このような問題を解決するために、遮光層を画素領域外でショートさせ、コンタクトホールを形成して接地電位あるいは対向電極電位もしくは負電位等の定電位を供給する配線に接続する技術が提案された。このような構成によれば、遮光層は定電位となるため、前記リーク電流の発生やTFTの特性の劣化を防ぐことができる。

【0007】

【発明が解決しようとする課題】しかしながら、上述した従来の技術によれば、前記遮光層のコンタクトホールを形成する場合には、前記遮光層とTFTのチャネル層との間に絶縁層が形成されるため、該チャネル層と電極との電気的接続を行うためのコンタクトホールを形成する場合に比べて、前記絶縁層分だけ被エッチング層が多くなる。

【0008】また、コンタクトホールを形成するためのエッチングは、開口形状を設計値どおり形成するという要請から、チャネル層との選択比の低い異方性のドライエッチングにより行われており、更にエッチング量を時間で制御する方法が採られている。

【0009】従って、電極用のコンタクトホール形成領域の方が、遮光層用のコンタクトホール形成領域よりも被エッチング層の層厚が薄い場合には、従来のエッチング方法では、遮光層用のコンタクトホールのエッチング中に、電極用のコンタクトホールのエッチングが完了し、更にチャネル層までエッチングしてしまう恐れがあった。

【0010】そこで、従来は、前記電極用のコンタクトホールを形成する工程とは別の工程により、前記遮光層用のコンタクトホールを形成する必要があり、液晶表示パネルの製造プロセスにおいて、工程が多くなるという問題があった。

【0011】本発明は上述した問題点を鑑みなされたものであり、コンタクトホールを形成して遮光層と定電位配線とを電気的に接続させる場合でも、工程数を増やすことのない、アクティブマトリクス駆動方式の液晶表示パネルの製造方法を提供することを課題とする。

【0012】

【課題を解決するための手段】請求項1に記載の液晶表示パネルの製造方法は上記課題を解決するために、一对の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、各画素電極に対応して複数の信号電極と複数のスイッチング素子が形成され、前記信号電極からのデータに基づいて該スイッチング素子を介して前記画素電極に電圧が印加される液晶表示パネルの製造方法であって、前記第1基板と前記スイッチング素子との間で、前記複数のスイッチング素子に夫々対向する前記第1基板上の位置に高融

点金層又はシリサイドからなる遮光層を形成する工程と、チャンネル層を有する前記複数のスイッチング素子を形成する工程と、前記信号電極を形成し前記信号電極と前記チャンネル層とを電氣的に接続する工程と、前記画素電極を形成し前記画素電極と前記チャンネル層とを電氣的に接続する工程と、定電位源に接続される導電層を形成し前記遮光層と電氣的に接続する工程と、前記各工程間あるいは各工程内において層間絶縁層を形成する工程とを備え、前記導電層を形成して前記遮光層と電氣的に接続する工程は、前記チャンネル層との選択比の高いエッチングにより、前記信号電極とチャンネル層との電氣的接続を行うためのコンタクトホールと前記遮光層と前記導電層との電氣的接続を行うための遮光層用のコンタクトホールとを同時に形成する第1の工程と、前記信号電極と同材料の導電層を前記信号電極と同時に形成する第2の工程とから構成されることを特徴とする。

【0013】請求項1に記載の液晶表示パネルの製造方法によれば、液晶を挟持する一対の基板の一方の基板上に高融点金属又はシリサイドからなる遮光層が形成され、この遮光層に対向するように、層間絶縁層を介してチャンネル層を有する複数のスイッチング素子が形成される。次に、複数のスイッチング素子のチャンネル層上にも層間絶縁層が形成される。従って、チャンネル層上の層間絶縁層は1層であるのに対し、スイッチング素子が形成された画素領域外における遮光層上の層間絶縁層は2層となる。しかしながら、次に層間絶縁層にコンタクトホールを形成するために行われるエッチングは、チャンネル層との選択比が高いエッチングなので、遮光層上の層間絶縁層をエッチング中にチャンネル層上の層間絶縁層のエッチングが完了した場合でも、チャンネル層に対するエッチングは殆ど進行しない。従って、チャンネル層を突き抜けることなく、信号電極用のコンタクトホールと遮光層用のコンタクトホールが同一の工程で形成される。次に、チャンネル層上の層間絶縁層上に信号電極が形成され、信号電極用のコンタクトホールを介して信号電極とチャンネル層が電氣的に接続される。また同時に、遮光層用のコンタクトホールを介して、信号電極と同材料からなる導電層が、遮光層と電氣的に接続されることになる。次に、信号電極及び導電層上に層間絶縁層が形成され、この層間絶縁層に画素電極用のコンタクトホールが形成される。そして、このコンタクトホールを介して画素電極が形成され、画素電極とチャンネル層との電氣的接続が行われる。次に、第1基板と第2基板の間に液晶層が封入されて液晶表示パネルが製造される。以上のように、遮光層と導電層との電氣的接続のための工程は、他の工程と別個に行われるのではなく、信号電極とチャンネル層とを電氣的に接続する工程と同時に行われることになり、従来に比べて工程の削減が図られる。

【0014】請求項2に記載の液晶表示パネルの製造方法は上記課題を解決するために、一対の第1及び第2基

板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、各画素電極に対応して複数の信号電極と複数のスイッチング素子が形成され、前記信号電極からのデータに基づいて該スイッチング素子を介して前記画素電極に電圧が印加される液晶表示パネルの製造方法であって、前記第1基板と前記スイッチング素子との間で、前記複数のスイッチング素子に夫々対向する前記第1基板上の位置に高融点金属又はシリサイドからなる遮光層を形成する工程と、チャンネル層を有する前記複数のスイッチング素子を形成する工程と、前記信号電極を形成し前記信号電極と前記チャンネル層とを電氣的に接続する工程と、前記画素電極を形成し前記画素電極と前記チャンネル層とを電氣的に接続する工程と、定電位源に接続される導電層を形成し前記遮光層と電氣的に接続する工程と、前記各工程間あるいは各工程内において層間絶縁層を形成する工程とを備え、前記導電層を形成して前記遮光層と電氣的に接続する工程は、前記信号電極と前記チャンネル層との電氣的接続を行うためのコンタクトホールと、前記遮光層と前記導電層との電氣的接続を行うための遮光層用のコンタクトホールの基礎となるホールとを同時に形成する第1の工程と、前記基礎となるホール及び信号電極上に絶縁層を設ける第2の工程と、該チャンネル層と前記画素電極との電氣的接続を行うためのコンタクトホールと、前記基礎となるホール上の絶縁層から前記遮光層に至る前記遮光層用コンタクトホールとを同時に形成する第3の工程と、前記画素電極と同材料の導電層を前記画素電極と同時に形成する第4の工程とから構成されることを特徴とする。

【0015】請求項2に記載の液晶表示パネルの製造方法によれば、液晶層を挟持する一対の基板の一方の基板上に高融点金属からなる遮光層が形成され、この遮光層に対向するように、層間絶縁層を介してチャンネル層を有する複数のスイッチング素子が形成される。次に、複数のスイッチング素子のチャンネル層上にも層間絶縁層が形成される。従って、チャンネル層上の層間絶縁層は1層であるのに対し、スイッチング素子が形成された画素領域外における遮光層上の層間絶縁層は2層となる。従って、次に層間絶縁層にコンタクトホールを形成するエッチングが行われると、チャンネル層上には信号電極との電氣的接続が可能なコンタクトホールが貫通することになるが、遮光層上においては、層間絶縁層の1層分に、遮光層用のコンタクトホールの基礎となるホールが形成される。次に、チャンネル層上の層間絶縁層上に信号電極が形成され、信号電極用のコンタクトホールを介して信号電極とチャンネル層が電氣的に接続される。次に、信号電極及び前記基礎となるホール上に層間絶縁層が形成される。従って、ここまでの工程において、チャンネル層上には2層の層間絶縁層が形成され、遮光層上においては3つの層間絶縁層が形成されることになる。しかし、基礎

となるホール上では、前記コンタクトホールのエッチングで1つの層間絶縁膜がエッチングされているため2つの層間絶縁膜が存在する。又、画素電極用のコンタクトホールは2つの層間絶縁膜に対してエッチングが行われる。ここにおいて画素電極用のコンタクトホールの形成のためのエッチングが行われると、画素電極用のコンタクトホールのエッチング終了前又は同時に、遮光層用のコンタクトホールのエッチングが終了することになり、チャンネル層を突き抜けることなく、一つの工程で二つのコンタクトホールが形成される。そして、このコンタクトホールを介して画素電極が形成されると、画素電極とチャンネル層との電気的接続が行われ、同時に、画素電極と同材料の導電層と遮光層との電気的接続が行われる。次に、第1基板と第2基板の間に液晶層が封入されて液晶表示パネルが製造される。以上のように、遮光層と導電層との電気的接続のための工程は、他の工程と別個に行われるのではなく、信号電極とチャンネル層とを電気的に接続する工程と同時に進行することになり、従来に比べて工程の削減が図られる。

【0016】請求項3に記載の液晶表示パネルは上記課題を解決するために、一对の第1及び第2基板と、該第1及び第2基板間に挟持された液晶と、前記第1基板の前記液晶に対面する側にマトリクス状に設けられた複数の透明な画素電極と、該複数の画素電極に夫々隣接する位置において前記第1基板に設けられており前記複数の画素電極を夫々スイッチング制御する複数のスイッチング素子と、前記複数のスイッチング素子に夫々対向する位置において前記第1基板と前記複数のスイッチング素子との間に夫々設けられた高融点金属又はシリサイドからなる遮光層と、前記画素電極と同材料からなり前記遮光層と電気的に接続される透明導電膜と、前記複数の遮光層と前記複数のスイッチング素子との間、及び前記遮光層と前記導電膜との間に設けられた層間絶縁層と、液晶表示パネルの実装端子に電気的に接続される金属層とを備え、前記透明導電膜と前記金属層は、前記スイッチング素子のチャンネル層またはゲート電極を介して電気的に接続されていることを特徴とする。

【0017】請求項3に記載の液晶表示パネルによれば、高融点金属又はシリサイドからなる遮光層は、スイッチング素子に対向する位置に設けられているので、第1基板の側から戻り光などの光が当該液晶表示パネルに入射しても、この光がスイッチング素子に入射するのを防ぐことが出来る。また、遮光層は、画素電極と同材料からなる透明導電膜と電気的に接続されている。つまり、この透明導電膜と遮光層との電気的接続は、画素電極とチャンネル層との電気的接続を行う工程と同一工程により行われたものであり、従来よりも少ない工程で遮光層と導電膜とが電気的に接続された液晶表示パネルとなっている。そして、この透明導電膜は、液晶表示パネルの実装端子に接続される金属層との間で、スイッチング

素子のチャンネル層またはゲート電極を介して電気的に接続されている。つまり、透明電極膜と金属層とが直接に接触していないため、電食により金属層が腐食されることがない。更に、透明電極膜と金属層とが電気的に接続されると、遮光層と実装端子とが電気的に接続されたことになり、液晶表示パネルを実装して、当該実装端子を定電位源に接続することにより、遮光層の持つ電荷の影響は、スイッチング素子に対して一定となり、スイッチング素子のスイッチング動作に悪影響を及ぼすことがない。

【0018】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされよう。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0020】（第1の実施の形態）図1は、本発明の第1の実施の形態である液晶表示パネルの断面図である。尚、図1においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また図2は、図1に示したTFTアレ基板1上に形成される各種電極等の透視図である。

【0021】図1において、液晶表示パネル100は、透明な第1基板の一例を構成するTFTアレ基板1と、これに対向配置される透明な第2基板の一例を構成する対向基板2とを備えている。TFTアレ基板1は、例えば石英基板や無アルカリガラスからなり、対向基板2は、例えばガラス基板からなる。

【0022】TFTアレ基板1には、図2に示すように、マトリクス状に複数の透明な画素電極11が設けられており、図1に示すようにその上側には、ラビング処理等の所定の配向処理が施された配向膜12がその全面に渡って設けられている。画素電極11は例えば、ITO膜（インジウム・ティン・オキサイド膜）などの透明導電性薄膜からなる。また配向膜12は例えば、ポリイミド薄膜などの有機薄膜からなる。

【0023】他方、対向基板2には、その全面に渡って共通電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。共通電極21は例えば、ITO膜などの透明導電性薄膜からなる。また配向膜22は、ポリイミド薄膜などの有機薄膜からなる。

【0024】TFTアレ基板1には、図1及び図2に示すように、複数の画素電極11に夫々隣接する位置に、複数の画素電極11を夫々スイッチング制御する、スイッチング素子の一例としての複数のTFTトランジスタ30が設けられている。

【0025】対向基板2には、更に、ブラックマトリクス23が、TFTトランジスタ30に対向する所定領域に設けられている。このようなブラックマトリクスは、Cr（クロム）やNi（ニッケル）などの金属材料や、

カーボンやTi（チタン）をフォトリソに分散した樹脂ブラックなどの材料から作られ、TFT30のp-Si（ポリシリコン）層32に対する遮光の他に、コントラストの向上、色材の混色防止などの機能を有する。

【0026】TFT30に夫々対向する位置においてTFTアレイ基板1と複数のTFT30との間には、高融点金属からなる複数の遮光層3が設けられている。また、複数の遮光層3と複数のTFT30との間には、第1層間絶縁層41が設けられている。第1層間絶縁層41は、TFT30を構成するp-Si層32を遮光層3から電氣的絶縁するために設けられるものである。更に、第1層間絶縁層41は、TFTアレイ基板1の全面に形成されることにより、TFT30のための下地膜としての機能を有する。即ち、TFTアレイ基板1の表面の研磨時における荒れや、洗浄後に残る汚れ等でTFT30の特性の劣化を防止する機能を有する。

【0027】第1層間絶縁層41は、例えば、NSG（ノンドープシリケートガラス）、PSG（リンシリケートガラス）、BSG（ボロンシリケートガラス）、BPSG（ボロンリンシリケートガラス）などの高絶縁性ガラス又は、酸化シリコン膜、SiNx、酸化窒化膜等からなる。

【0028】遮光層3は、例えば、Ti（チタン）、Cr（クロム）、W（タングステン）、Ta（タンタル）、Mo（モリブデン）及びPd（鉛）などの高融点金属からなる。より好ましくは、Ti、Cr、W、Ta、Mo及びPdのうちの少なくとも一つを含む金属シリサイド（例えば、タングステンシリサイドWSi）からなる。このように金属シリサイドから構成すると、即ち、シリコンを遮光層の材料に含ませると、シリコンを含んでなる第1層間絶縁層41との熱的相性が良くなる。より具体的には、高温環境と常温環境とに置かれた場合でも、遮光層3と第1層間絶縁層41との間で、熱膨張率等の物理的性質の差に起因して発生する応力が緩和される。

【0029】遮光層3は図2に示すコンタクトホール81を介して定電位配線83に接続されており、定電位配線83は、接地されているか、または定電位源に接続されている。このため、遮光層3の電位が変化することにより、TFT30のスイッチング特性等に悪影響を及ぼすことがない。但し、遮光層3は電氣的に浮遊していても良いし、あるいは、遮光層3を後述の蓄積容量（図3参照）用の配線として使用することも可能である。

【0030】また、図1に示すように、TFT30は、ゲート電極31（走査電極）、ゲート電極31からの電界によりチャネルが形成されるp-Si層32、ゲート電極31とp-Si層32とを絶縁するゲート絶縁層33、p-Si層32に形成されたソース領域34、ソース電極35（信号電極）、及びp-Si層32に形成されたドレイン領域36を備えている。ドレイン領域36

には、複数の画素電極11のうちの対応する一つが接続されている。ソース領域34及びドレイン領域36は後述のように、p-Si層32に対し、n型又はp型のチャネルを形成するかに応じて所定濃度のn型用又はp型用のドーパントをドーピングすることにより形成されている。n型チャネルのTFTは、動作速度が速いという利点があり、p型チャネルのTFTは、p型チャネルを形成するのが容易であるという利点がある。ソース電極35（信号電極）は、画素電極11と同様にITO膜等の透明導電性薄膜から構成してもよいし、Al等の金属膜や金属シリサイドなどの不透明な薄膜から構成してもよい。また、ゲート電極31、ゲート絶縁層33及び第1層間絶縁層41の上には、ソース領域34へ通じるコンタクトホール37及びドレイン領域36へ通じるコンタクトホール38が夫々形成された第2層間絶縁層42が形成されている。このソース領域34へのコンタクトホール37を介して、ソース電極35（信号電極）はソース領域34に電氣的接続されている。更に、ソース電極35（信号電極）及び第2層間絶縁層42の上には、ドレイン領域36へのコンタクトホール38が形成された第3層間絶縁層43が形成されている。このドレイン領域36へのコンタクトホール38を介して、画素電極11はドレイン領域36に電氣的接続されている。前述の画素電極11は、このように構成された第3層間絶縁層43の上面に設けられている。

【0031】ここで、一般には、チャネルが形成されるp-Si層32は、光が入射するとp-Siが有する光電変換効果により光電流が発生してしまいTFT30のトランジスタ特性が劣化するが、本実施の形態では、対向基板2には各TFT30に夫々対向する位置に複数のブラックマトリクス23が形成されているので、入射光が直接にp-Si層32に入射することが防止される。更にこれに加えて又は代えて、ゲート31を上側から覆うようにソース電極35（信号電極）をAl等の不透明な金属薄膜から形成すれば、ブラックマトリクス23と共に又は単独で、p-Si層32への入射光（即ち、図1で上側からの光）の入射を効果的に防ぐことが出来る。

【0032】図2に示すように、以上のように構成された画素電極11は、TFTアレイ基板1上にマトリクス状に配列され、各画素電極11に隣接してTFT30が設けられており、また画素電極11の縦横の境界に夫々沿ってソース電極35（信号電極）及びゲート電極31（走査電極）が設けられている。尚、図2は、説明の都合上、画素電極11のマトリクス状配列等を簡略化して示すためのものであり、実際の各電極は層間絶縁層の間や上をコンタクトホール等を介して配線されており、図1から分かるように3次元的に複雑な構成を有している。図1においては、コンタクトホール38の下にも遮光膜3が設けられているが、図2に示されるようにコ

ンタクトホール下に遮光膜3を設けない場合もある。遮光膜は少なくともチャネル領域及びLED領域の下には形成することが望ましい。

【0033】図1には示されていないが、図2及び図3に示すように、画素電極11には蓄積容量70が夫々設けられている。この蓄積容量70は、より具体的には、 $p-Si$ 層32と同一工程により形成される $p-Si$ 層32a、ゲート絶縁層33と同一工程により形成される絶縁層33a、ゲート電極31と同一工程により形成される蓄積容量電極（容量線）31a、第2及び第3層間絶縁層42及び43、並びに第2及び第3層間絶縁層42及び43を介して蓄積容量電極31aに対向する画素電極11の一部から構成されている。このように蓄積容量70が設けられているため、デューティ比が小さくても高詳細な表示が可能とされる。尚、蓄積容量電極（容量線）31aは、図2に示すように、TFTアレイ基板1の面上においてゲート電極（走査電極）31と平行に設けられている。また前述のように、遮光層3を蓄積容量70の配線として利用することも可能である。

【0034】次に、図4及び図5に基づいて本実施形態のアクティブマトリクス型液晶表示パネルの全体の構成について説明する。

【0035】図4は本実施形態における液晶表示パネルの平面図である。また、図5は、図4のH-H'線における液晶表示パネルの断面図を示す。

【0036】図4及び図5に示すように、本実施形態における液晶表示パネルにおいては、前記TFTアレイ基板1上に形成した画素電極11の表面に、前記共通電極21を有する対向基板2が、適当な間隔をおいて配置され、TFT30により構成される各画素と対向基板2とで形成される画面表示領域を、シール剤52により封止している。シール剤52により囲まれた空間に液晶が封入され、液晶層50が形成される。液晶層50は、画素電極11からの電界が印加されていない状態で配向膜12及び22により所定の配向状態を採る。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール剤52は、二つの基板1及び2をそれらの周辺で張り合わせるための接着剤である。

【0037】また、TFTアレイ基板1上のX側駆動用ドライバ回路101及びY側駆動用ドライバ回路104は、電荷の直流成分によりポリイミド等の配向膜12、22や液晶層50の劣化を防ぐために、前記対向基板2の外周より外側に配置している。

【0038】更に、画面表示領域外側は、モジュールとして組み立てた際に光が漏れないように対向基板2上にブラックマトリクス23と同一層で周辺見切り53を形成する。

【0039】なお、TFTアレイ基板1上には、対向基板2側に設けられた共通電極21に、TFTアレイ基板1側から共通電極電位を供給するための上下基板導通用

端子106が、所定の径を有する導電性接着剤を介在させて、対向基板2と導通を図るように構成されている。また、外部実装端子102は、前記対向基板2より外側の部分に配置され、ワイヤーボンディング、ACF（Anisotropic Conductive Film）圧着等により外部ICと接続される。

【0040】図1においては、X側駆動用ドライバ回路101と前記外部実装端子102のみが描かれているが、TFTアレイ基板1上にはその周辺部には、上述のようにX側駆動用ドライバ回路101及びY側駆動用ドライバ回路104が設けられており、図示しない配線によりソース電極35（信号電極）及びゲート電極31（走査電極）に夫々電氣的接続されている。X側駆動用ドライバ回路101には、図示しない制御回路から即時表示可能な形式に変換された表示信号が入力され、Y側駆動用ドライバ回路104がパルス的にゲート電極31（走査電極）に順番にゲート電圧を送るのに合わせて、X側駆動用ドライバ回路101は表示信号に応じた信号電圧をソース電極35（信号電極）に送る。本実施の形態では特に、TFT30は $p-Si$ （ポリシリコン）タイプのTFTであるので、TFT30の形成時に同一工程で、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104を形成することも可能であり、製造上有利である。

【0041】尚、X側駆動用ドライバ回路101及びY側駆動用ドライバ回路104をTFTアレイ基板1の上に設ける代わりに、例えばTAB（テープオートメテッドボンディング基板）上に実装された駆動用LSIに、TFTアレイ基板1の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0042】また、図1乃至図5には示されていないが、対向基板2の投射光が入射する側及びTFTアレイ基板1の投射光が出射する側には夫々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、D-STN（ダブルSTN）モード等の動作モードや、ノーマリーホワイトモード/ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0043】次に以上のように構成された本実施の形態の動作について図1を参照して説明する。

【0044】図1において、制御回路から表示信号を受けたX側駆動用ドライバ回路101は、この表示信号に応じたタイミング及び大きさで信号電圧をソース電極35（信号電極）に印加し、これと並行して、Y側駆動用駆動回路102は、所定タイミングで電極31（走査電極）にゲート電圧をパルス的に順次印加し、TFT30は駆動される。これにより、ゲート電圧がオンとされた時点でソース電圧が印加されたTFT30においては、ソース領域34、 $p-Si$ 層32に形成されたチャネル

及びドレイン領域36を介して画素電極11に電圧が印加される。そして、この画素電極11の電圧は、ソース電圧が印加された時間よりも例えば3桁も長い時間だけ蓄積容量70（図3参照）により維持される。

【0045】このように画素電極11に電圧が印加されると、液晶層50におけるこの画素電極11と共通電極21とに挟まれた部分における液晶の配向状態が変化し、ノーマリーホワイトモードであれば、電圧が印加された状態で入射光がこの液晶部分を通過不可能とされ、ノーマリーブラックモードであれば、電圧が印加された状態で入射光がこの液晶部分を通過可能とされ、全体として液晶表示パネル100aからは表示信号に応じたコントラストを持つ光が射出する。

【0046】そして、TFT30の下側に設けられた遮光層3により、戻り光による悪影響が低減されるため、TFT30のトランジスタ特性が改善されており、更には、遮光層3が上述したような良好な電氣的接続により、安定して一定の電位に保たれるため、TFT30のスイッチング特性は良好に維持され、最終的には、液晶表示パネル100により、高コントラストで色付きの良い高画質の画像を表示することが可能となる。

【0047】しかし、遮光層3は、上述したように高融点金属で形成されているため、TFT30と絶縁を図る必要があり、遮光層3とTFT30との間には、第1層間絶縁層41が設けられる。その結果、ソース、ドレインとなるポリシリコン層32と遮光層3とが第1層間絶縁層41を介して対向し、コンデンサを形成することになる。従って、この遮光層3がフローティング電位である場合には、ポリシリコン層32の電荷の影響を受けて、遮光層3の電荷が変動する。逆にTFT30も遮光層3の電荷の影響を受けることになり、この遮光層3が本来のゲートとは別のゲートとして機能するおそれがある。すなわち、遮光層3の持つ電荷に起因してTFT30にリーク電流が流れたり、あるいは、TFT30にリーク電流が流れたり、あるいはTFT30のゲートに高い電圧を印加しなければ、TFT30がオンしなくなる。

【0048】そこで、本実施形態では、このような問題を解決するために、図2に示すように、遮光層3を画素領域外でショートさせ、コンタクトホール81を形成して接地電位あるいは対向電極電位もしくは負電位等の定電位を供給する定電位配線83と、コンタクト部3aにおいて電氣的に接続している。このため、遮光層3の電位が変化することにより、TFT30のスイッチング特性等に悪影響を及ぼすことがない。

【0049】しかしながら、遮光層3を前記定電位配線83に接続するには、遮光層3上に形成された第1層間絶縁層41及び第2層間絶縁層42にコンタクトホール81を形成する必要がある。このコンタクトホール81の形成のための工程分だけ工程が増えるという問題があ

った。

【0050】ここで、前記工程の増加の理由を説明するために、比較例として従来の液晶表示パネルの製造プロセスについて図6及び図7を参照して説明する。なお、図6及び図7に示す工程は、図2におけるa-a'線断面と、b-b'線断面とを理解の容易のために繋げて描いたものである。

【0051】先ず図6の工程(1)に示すように、石英基板、ハードガラス等のTFTアレイ基板1を用意する。このTFTアレイ基板1の全面に、スパッタリング法、CVD法等によりWなどの高融点金属の金属シリサイド等からなる遮光層をTFTアレイ基板1の全面に形成する。その後フォトリソグラフィ工程及びエッチング工程により、これらの基板全面に形成された遮光層をTFT30を形成する予定の領域にのみ残して、遮光層3を形成する。この際、非単結晶シリコン層を遮光層の上下の一方又は両方に形成してもよい。

【0052】遮光層3の層厚としては、約1000～3000Åである。遮光層3は、少なくともTFT30のp-Si層32のうちチャネル形成用の領域、ソース領域34及びドレイン領域36をTFTアレイ基板1の裏面から見て覆うように形成される。

【0053】次に図6の工程(2)に示すように、遮光層3の上に、減圧CVD法等によりTEOS（テトラ・エチル・オソル・シリケート）ガス等を用いて、NSGなどのシリケートガラス膜等からなる第1層間絶縁層41を形成する。第1層間絶縁層41の層厚は、約500～8000Åである。

【0054】次に図6の工程(3)に示すように、第1層間絶縁層41の上に、約450～550℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、a-Si（アモルファスシリコン）膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～24時間のアニール処理を施することにより、p-Si（ポリシリコン）膜を約500～2000Åの厚さとなるまで固相成長させる。この際、nチャネル型のTFT30を作成する場合には、Sb（アンチモン）、As（砒素）、P（リン）などのV族元素のドーパントを僅かにイオン注入等によりドーブする。また、TFT30をpチャネル型とする場合には、Al（アルミニウム）、B（ボロン）、Ga（ガリウム）、In（インジウム）などのIII族元素のドーパントを僅かにイオン注入等によりドーブする。

【0055】次に図6の工程(4)に示すように、p-Si層32を約900～1300℃の温度により熱酸化して、約300Åの比較的薄い厚さの熱酸化膜33'を形成する。

【0056】更に図6の工程(5)に示すように、減圧CVD法等により高温酸化シリコン膜（HTO膜）3

3"を約500Åの比較的薄い厚さに堆積し、多層構造を持つゲート絶縁層33を形成する。この結果、p-Si層32の厚さは、約450~18500Åの厚さとなり、ゲート絶縁層33の厚さは、約200~1500Å、好ましくは800Åの厚さとなる。

【0057】次に図6の工程(5')に示すように、遮光層3のコンタクト部3aと定電位配線83との接続を行うためのコンタクトホール81を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。このような異方性エッチングを用いるのは、開口形状をマスク形状とほぼ同じにできるためである。

【0058】次に図6の工程(6)に示すように、p-Si層32上にゲート絶縁層33を介して、減圧CVD法等によりp-Siを堆積した後、ゲートマスクを用いたフォトリソグラフィ工程、エッチング工程等により、ゲート電極31(走査電極)及びコンタクト部3aの接続用電極31aを形成する。なお、ゲート電極31(走査電極)及び接続用電極31aは、同じ材料で形成されているが、互いに接触しない位置に設けられている。

【0059】次に図7の工程(7)に示すように、TF-T30をLDD(Lightly Doped Drain Structure)構造を持つnチャネル型のTF-Tとする場合、p-Si層32に、まずソース領域34及びドレイン領域36のうちチャネル側に夫々隣接する一部を構成する低濃度ドープ領域を形成するために、ゲート電極31を拡散マスクとして、PなどのV族元素のドーパントを低濃度で(例えば、Pイオンを $1\sim3\times10^{13}/\text{cm}^2$ のドーズ量にて)ドーブし、続いて、ゲート電極31よりも幅の広いマスクでレジスト層をゲート電極31上に形成した後、同じくPなどのV族元素のドーパントを高濃度で(例えば、Pイオンを $1\sim3\times10^{15}/\text{cm}^2$ のドーズ量にて)ドーブする。また、TF-T30をpチャネル型とする場合、p-Si層32に、ソース領域34及びドレイン領域36を形成するために、BなどのIII族元素のドーパントを用いてドーブする。

【0060】これらの工程と並行して、nチャネル型p-SiTF-T及びpチャネル型p-SiTF-Tから構成されるCMOS(相補型MOS)構造を持つX側駆動用ドライバ回路101及びY側駆動用ドライバ回路104をTF-Tアレイ基板1上の周辺部に形成する。次に図7の工程(8)に示すように、ゲート電極31(走査電極)及び接続用電極31aを覆うように、減圧CVD法やTEOSガス等を用いて、NSGのシリケートガラス膜等からなる第2層間絶縁層42を形成する。第2層間絶縁層42の層厚は、約5000~15000Åである。そして、ソース領域34及びドレイン領域36を活性化するために約800~1000℃のアニール処理を20~60分程度行った後、ソース電極31(信号電

極)に対するコンタクトホール37と、接続用電極31aに対するコンタクトホール81aとを、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。また、ゲート電極31(走査電極)を図示しない配線と接続するためのコンタクトホールも、コンタクトホール37と同一の工程により第2層間絶縁層42に開ける。

【0061】次に図7の工程(9)に示すように、第2層間絶縁層42の上に、スパッタリング処理等により、Al等の低抵抗金属等を、約1000~10000Åの厚さに堆積し、更にフォトリソグラフィ工程、ウエットエッチング工程等により、ソース電極35(信号電極)及び定電位配線83を形成する。なお、ソース電極35(信号電極)及び定電位配線83は同じ材料で形成されるが、図6の工程(9)に示すように、互いに接触しない位置関係にある。

【0062】また、このような工程により、定電位配線83とコンタクト3aとが接続用電極31aを介して電気的に接続され、定電位配線83に接地電位あるいは負電位等の定電位を印加することにより、遮光層3の電位を所定の定電位に保つことができる。

【0063】次に図7の工程(10)に示すように、ソース電極35(信号電極)及び定電位配線83上を覆うように、常圧又は減圧CVD法等を用いて、NSGのシリケートガラス膜やBPSG膜等からなる第3層間絶縁層43を形成する。第3層間絶縁層43の層厚は、約5000~15000Åである。

【0064】更に、画素電極11とドレイン領域36とを電気的接続するためのコンタクトホール38を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

【0065】次に図7の工程(11)に示すように、第3層間絶縁層43の上に、スパッタリング処理等により、ITO膜等の透明導電性薄膜を、約500~2000Åの厚さに堆積し、更にフォトリソグラフィ工程、ウエットエッチング工程等により、画素電極11を形成する。

【0066】続いて、画素電極11の上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図1に示した配向膜12が形成される。

【0067】他方、図1に示した対向基板2については、ガラス基板等が先ず用意され、この上において複数のTF-T30に夫々対応した位置にブラックマトリクス23が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。

【0068】その後、対向基板2の全面にスパッタリング処理等により、ITO等の透明導電性薄膜を、約500~2000Åの厚さに堆積することにより、共通電極

21を形成する。更に、共通電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向膜22が形成される。

【0069】最後に、上述のように各層が形成されたTFTアレ基板1と対向基板2とは、配向膜12及び22が対面するようにシール剤52により張り合わされ、真空吸引等により、両基板間の空間に、例えば数種類の内マティック液晶を混合してなる液晶が吸引されて、液晶層50が形成される。

【0070】以上の製造プロセスにより、液晶表示パネルが完成する。

【0071】以上説明したように、比較例においては、図6の工程(5')に示すように、遮光層3のコンタクトホール81を形成するための工程を、図7の工程(8)に示すコンタクトホール37の形成工程あるいは図7の工程(10)に示すコンタクトホール38の形成工程とは別に設けている。

【0072】工程を減らすためには、例えば図7の工程(8)においてコンタクトホール37を形成すると同時に、コンタクトホール81を形成することも考えられるが、コンタクトホール37の形成位置とコンタクトホール81との形成位置においては、エッチング対象となる絶縁層の層厚が異なるため、上述した異方性ドライエッチングでは、次のような理由により、コンタクトホール37の形成位置においてオーバーエッチングが生ずるという問題点があった。

【0073】図7の工程(8)におけるエッチング対象となる絶縁層は、コンタクトホール37の形成位置においては、層厚が約8000Åの第2層間絶縁層42と、層厚が約500ÅのHTO膜33'と、層厚が約300Åの熱酸化膜33'であり、コンタクトホール81の形成位置においては、前記第2層間絶縁層42及びHTO膜33'と、層厚が約8000Åの第1層間絶縁層41である。

【0074】従って、コンタクトホール37の形成位置におけるエッチング対象層厚は、合計で約9000Åであるのに対し、コンタクトホール81の形成位置におけるエッチング対象層厚は、合計で約16500Åに及ぶことになる。

【0075】一方、開口形状及び面積を設計値に近付けるという要請から、コンタクトホールのエッチングには、上述したように異方性300Åドライエッチングが採用されているが、異方性ドライエッチングは、ポリシリコン層32との選択比が十分に採れないため、エッチング量を時間で制御する方法では、上述のような層厚差がある場合には、コンタクトホール81のエッチング中において、コンタクトホール37の形成位置におけるポリシリコン層32に対してオーバーエッチングが生じてしまう。

【0076】このような理由から、従来は、図7の工程(8)に示すコンタクトホール37の形成工程の前に、図6の工程(5')に示す工程を別個に設けなければならなかった。

【0077】そこで、本実施形態では、ソース電極35用のコンタクトホール37の形成工程におけるエッチングとして、ポリシリコン層32との選択比が高いウェットエッチングを採用し、図6の工程(5')に示す遮光層3用のコンタクトホール81の形成工程を減らすように構成した。

【0078】以下、図8及び図9に基づいて、本実施形態における液晶表示パネル100の製造プロセスについて説明する。

【0079】先ず図8の工程(1)に示すように、石英基板、ハードガラス等のTFTアレ基板1を用意する。ここで、好ましくはN₂(窒素)等の不活性ガス雰囲気且つ約1000℃の高温でアニール処理し、後に実施される高温プロセスにおけるTFTアレ基板1に生じる歪みが少なくなるように前処理しておく。このように処理されたTFTアレ基板1の全面に、スパッタリング法、CVD法等により好ましくはTi、Cr、W、Ta、Mo及びPdなどの高融点金属の金属シリサイド等からなる遮光層を多結晶シリコン層の全面に形成する。その後フォトリソグラフィ工程及びエッチング工程により、これらの基板全面に形成された多結晶シリコン層及び遮光層をTFT30を形成する予定の領域にのみ残して、遮光層3を形成する。

【0080】遮光層3の層厚としては、約1000~3000Åが好ましく、更に約1500~2500Åがより好ましい。1000Åより薄いと遮光の効果(例えば、1/1000程度の透過率)が十分に得られず、また3000Åより厚いと、TFT30の形成工程における高温環境と常温環境とにおける熱応力の発生が大きくなり過ぎ、加えて遮光層3自体を形成するための時間やコストの上昇を招くと共に後にTFT30を形成する第1層間絶縁層41の段差が大きくなり過ぎてTFT30の形成が困難になる。更に遮光層3の厚さが約1500~2500Åであれば、良好な遮光性が得られると共に、段差の問題も実用上殆ど生じないで済む。遮光層3は、少なくともTFT30のp-Si層32のうちチャネル形成用の領域、ソース領域34及びドレイン領域36をTFTアレ基板1の裏面から見て覆うように形成される。

【0081】次に図8の工程(2)に示すように、遮光層3の上に、例えば、常圧又は減圧CVD法等によりTEOSガス、TEBガス、TMOPガス等を用いて、NSG、PSG、BSG、BSPGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第1層間絶縁層41を形成する。第1層間絶縁層41の層厚は、約500~8000Åが好ましい。或いは、熱酸化膜を形成

した後、更に減圧CVD法等により高温酸化シリコン膜（HTO膜）や窒化膜を約500Åの比較的薄い厚さに堆積し、厚さ約2000Åの多層構造を持つ第1層間絶縁層41を形成してもよい。更に、このようなシリケートガラス膜に重ねて又は代えて、SOG（スピノングラス：紡糸状ガラス）をスピノコートして平坦な膜を形成してもよい。このように、第1層間絶縁層41の上面をスピノコート処理により平坦化しておけば、後に上側にTFT30を形成し易いという利点が得られる。

【0082】尚、第1層間絶縁層41に対し、約900℃のアニール処理を施すことにより、汚染を防ぐと共に平坦化してもよい。

【0083】次に図8の工程（3）に示すように、第1層間絶縁層41の上に、約450～550℃、好ましくは約500℃の比較的低温環境中で、流量約400～600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD（例えば、圧力約20～40PaのCVD）により、a-Si膜を形成する。その後、窒素雰囲気中で、約600～700℃にて約1～24時間、好ましくは、4～6時間のアニール処理を施することにより、p-Si膜を約300～2000Åの厚さ、好ましくは約550Åの厚さとなるまで固相成長させる。この際、nチャネル型のTFT30を作成する場合には、Sb、As、PなどのV族元素のドーパントを僅かにイオン注入等によりドーピングする。また、TFT30をpチャネル型とする場合には、Al、B、Ga、InなどのIII族元素のドーパントを僅かにイオン注入等によりドーピングしてもよい。尚、a-Si膜を経ないで、減圧CVD法等によりp-Si膜を直接形成しても良い。或いは、減圧CVD法等により堆積したp-Si膜にシリコンイオンを打ち込んで一旦非晶質化（アモルファス化）し、その後アニール処理等により再結晶化させてp-Si膜を形成しても良い。

【0084】次に図8の工程（4）に示すように、p-Si層32を約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約300Åの比較的薄い厚さの熱酸化膜33'を形成する。

【0085】更に図8の工程（5）に示すように、減圧CVD法等により窒化膜あるいは高温酸化シリコン膜（HTO膜）33''を約500Åの比較的薄い厚さに堆積し、多層構造を持つゲート絶縁層33を形成する。

【0086】この結果、p-Si層32の厚さは、約150～1850Åの厚さ、好ましくは約350～450Åの厚さとなり、ゲート絶縁層33の厚さは、200～1500Åの厚さ、好ましくは約800Åの厚さとなる。ただしゲート絶縁膜33の厚さは800Åに限るものでなく、100～2000Åの範囲で設定して良い。その際熱酸化膜33'と酸化シリコン膜33''は100～2000Åの範囲で各々設定できる。このように高温熱酸化時間を短くすることにより、特に8インチ程度

の大型ウエーハを使用する場合に熱によるそりを防止することができる。但し、p-Si層32を熱酸化することのみにより、単一層構造を持つゲート絶縁層33を形成してもよい。

【0087】次に図8の工程（6）に示すように、p-Si層32上にゲート絶縁層33を介して、減圧CVD法等によりp-Siを堆積した後、ゲートマスクを用いたフォトリソグラフィ工程、エッチング工程等により、ゲート電極31（走査電極）を形成する。

【0088】但し、ゲート電極31（走査電極）を、p-Si層ではなく、Al等の金属膜又は金属シリサイド膜から形成してもよいし、若しくはこれらの金属膜又は金属シリサイド膜とp-Si膜を組み合わせることで多層に形成してもよい。この場合、ゲート電極31（走査電極）を、ブラックマトリクス23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、金属膜や金属シリサイド膜の持つ遮光性により、ブラックマトリクス23の一部又は全部を省略することも可能となる。この場合特に、対向基板2とTFTアレイ基板1との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0089】次に図9の工程（7）に示すように、TFT30をLDD構造を持つnチャネル型のTFTとする場合、p型のp-Si層32に、先ずソース領域34及びドレイン領域36のうちチャネル側に夫々隣接する一部を構成する低濃度ドーピング領域を形成するために、ゲート電極31を拡散マスクとして、PなどのV族元素のドーパントを低濃度で（例えば、Pイオンを $1\sim3\times10^{13}/\text{cm}^2$ のドーズ量にて）ドーピングし、続いて、ゲート電極31よりも幅の広いマスクでレジスト層をゲート電極31上に形成した後、同じくPなどのV族元素のドーパントを高濃度で（例えば、Pイオンを $1\sim3\times10^{15}/\text{cm}^2$ のドーズ量にて）ドーピングする。また、TFT30をpチャネル型とする場合、n型のp-Si層32に、ソース領域34及びドレイン領域36を形成するために、BなどのIII族元素のドーパントを用いてドーピングする。このようにLDD構造とした場合、ショートチャネル効果を低減できる利点が得られる。尚、このように低濃度と高濃度の2段階に分けて、ドーピングを行わずとも良い。例えば、低濃度のドーピングを行わずに、オフセット構造のTFTとしてもよく、ゲート電極31をマスクとして、Pイオン、Bイオン等を用いたイオン注入技術によりセルフアライン型のTFTとしてもよい。

【0090】これらの工程と並行して、nチャネル型p-SiTFT及びpチャネル型p-SiTFTから構成されるCMOS構造を持つX側駆動用ドライバ回路101及びY側駆動用ドライバ回路104をTFTアレイ基板1上の周辺部に形成する。このように、TFT30はp-SiTFTであるので、TFT30の形成時に同一工程で、X側駆動用ドライバ回路101及びY側駆動用

ドライバ回路104を形成することができ、製造上有利である。

【0091】次に、図9に示す工程(8)において、ゲート電極31(走査電極)を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜や酸化シリコン膜等からなる第2層間絶縁層42を形成する。第2層間絶縁層42の層厚は、約5000~15000Åが好ましい。

【0092】そして、ソース領域34及びドレイン領域36を活性化するために約800~1000℃のアニール処理を20~60分程度行った後、コンタクトホール37の形成を行うのであるが、本実施形態においては、比較例と異なり、ウェットエッチングのみによってコンタクトホール37とコンタクトホール81とを同時に形成する。

【0093】ウェットエッチングを採用することにより、ポリシリコン層32との選択比を高くすることができ、コンタクトホール81の形成位置とコンタクトホール37の形成位置とで、上述のような層厚差がある場合でも、ポリシリコン層32をオーバーエッチングすることなく、両方のコンタクトホールを良好に形成することができる。

【0094】具体的には、エッチング液として緩衝弗酸液と呼ばれるHF+NH₄Fを用いた。このようなエッチング液を用いることで、ポリシリコン層32をエッチングすることなく、また、遮光層3及びTFTアレイ基板1の表面に損傷を与えることなく、必要なエッチングを行って、コンタクトホール37及びコンタクトホール81を同時に形成することができる。

【0095】そして、図9に示す工程(9)において、第2層間絶縁層42の上に、スパッタリング処理等により、Al等の低抵抗金属や金属シリサイド等を、約1000~10000Åの厚さに堆積し、更にフォトリソグラフィ工程、ウェットエッチング工程等により、ソース電極35(信号電極)及び定電位配線83を形成する。

【0096】なお、ソース電極35(信号電極)及び定電位配線83は同じ材料で形成されるが、図9の工程(9)に示すように、互いに接触しない位置関係にある。

【0097】また、このような工程により、定電位配線83とコンタクト部3aとが電気的に接続され、定電位配線83に接地電位あるいは負電位等の定電位を印加することにより、遮光層3の電位を所定の定電位に保つことができる。

【0098】また、ソース電極35(信号電極)を、ブラックマトリクス23が覆う領域の一部又は全部に対応する遮光膜として配置すれば、Al等の金属膜や金属シリサイド膜の持つ遮光性により、ブラックマトリクス23の一部又は全部を省略することも可能となる。この場

合特に、対向基板2とTFTアレイ基板1との貼り合わせずれによる画素開口率の低下を防ぐことが出来る利点がある。

【0099】次に図9の工程(10)に示すように、ソース電極35(信号電極)及び定電位配線83上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化膜や酸化シリコン膜等からなる第3層間絶縁層43を形成する。第3層間絶縁層43の層厚は、約5000~15000Åが好ましい。或いは、このようなシリケートガラス膜に代えて又は重ねて、有機膜やSOG(スピノンガラス)をスピスコートして平坦な膜を形成してもよい。

【0100】更に、画素電極11とドレイン領域36とを電気的接続するためのコンタクトホール38を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール38を開口した方が、開口形状をマスク形状とほぼ同じにできるという利点が見られる。但し、ドライエッチングとウェットエッチングとを組み合わせて開口すれば、コンタクトホール38をテーパ状にできるので、配線接続時の断線を防止できるという利点が見られる。

【0101】次に図9の工程(11)に示すように、第3層間絶縁層43の上に、スパッタリング処理等により、ITO膜等の透明導電性薄膜を、約500~2000Åの厚さに堆積し、更にフォトリソグラフィ工程、ウェットエッチング工程等により、画素電極11を形成する。尚、当該液晶表示パネル100aを反射型の液晶表示装置に用いる場合には、Al等の反射率の高い不透明な材料から画素電極11を形成してもよい。

【0102】続いて、画素電極11の上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、図1に示した配向膜12が形成される。

【0103】他方、図1に示した対向基板2については、ガラス基板等が先ず用意され、この上において複数のTFT30に夫々対応した位置にブラックマトリクス23が、例えば金属クロムをスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、ブラックマトリクス23は、CrやNiなどの金属材料の他、カーボンやTiをフォトレジストに分散した樹脂ブラックなどの材料から形成してもよい。その後、対向基板2の全面にスパッタリング処理等により、ITO等の透明導電性薄膜を、約500~2000Åの厚さに堆積することにより、共通電極21を形成する。更に、共通電極21の全面にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように且つ所定方向でラビング処理を施すこと等により、配向

膜22が形成される。

【0104】最後に、上述のように各層が形成されたTFTアレイ基板1と対向基板2とは、配向膜12及び22が対面するようにシール剤52により張り合わされ、真空吸引等により、両基板間の空間に、例えば数種類のネマティック液晶を混合してなる液晶が吸引されて、液晶層50が形成される。

【0105】以上の製造プロセスにより、液晶表示パネル100が完成する。

【0106】以上説明したように、本実施形態によれば、ポリシリコン層32をオーバーエッチングすることなく、従来よりも少ない工程で遮光層3用のコンタクトホール81を形成することができる。

【0107】（第2の実施の形態）次に、本発明の第2の実施の形態を図10に基づいて説明する。なお、第1の実施の形態との共通箇所の説明は省略する。

【0108】上述した第1の実施形態では、ウェットエッチングのみを採用することにより、遮光層3用のコンタクトホール81を形成する工程を別個に設けることなく、工程の削減を実現することができた。しかしながら、第1の実施の形態においては、コンタクトホール81の内壁に、第1層間絶縁層41及びHTO膜33'並びに第2層間絶縁層42の界面が露出するため、これらの層及び膜に対するサイドエッチングが進行する場合があった。特に、ウェットエッチングは等方性であるため、サイドエッチングが発生し易い。その結果、コンタクトホール81の開口面積が設計値よりも大きくなるという問題が生ずる。

【0109】そこで、本実施形態では、ウェットエッチングのみによって1回で遮光層3用のコンタクトホール81を形成するのではなく、ソース電極35用のコンタクトホール37の形成工程と、画素電極11用のコンタクトホール38の形成工程の2回の工程に分けて、遮光層3用のコンタクトホール81を形成することとした。

【0110】このように構成した場合でも、遮光層3用のコンタクトホール81を形成工程を別個に設ける必要がないので、工程の省略を図ることができる。

【0111】以下、本実施形態における製造プロセスを図10に基づいて詳しく説明する。なお、本実施形態においても図8に示した工程(1)～(6)及び図9に示した工程(7)を行うが、これらの工程は第1の実施の形態と同様なので、図示及び説明を省略する。

【0112】本実施形態においては、図8に示した工程(1)～(6)及び図10に示す工程(7)を経た後、図10の工程(8)に示すように、ソース電極35用のコンタクトホール37の形成工程を行う。そして、この際に、遮光層3用のコンタクトホール形成位置において、所望のコンタクトホールよりも大きなサイズのホール81'を形成する。この工程におけるエッチングは、上述した異方性のドライエッチングを用いることがで

き、遮光層3用のコンタクトホール形成位置においてこの工程によりエッチングが行われるのはおよそ第2層間絶縁層42とHTO膜33'までである。

【0113】次に、図10の工程(9)に示すようにソース電極35用のコンタクトホール37の位置のみにソース電極35を形成した後、図10の工程(10)に示すようにBPSG等により第3層間絶縁層43を形成する。

【0114】この第3層間絶縁層43は、図10の工程(10)に点線で示すように前記ホール81'内にも形成される。従って、遮光層3用のコンタクトホール形成位置における当該遮光層3上には、第3層間絶縁層43と第1層間絶縁層41が形成されることになる。

【0115】一方、画素電極11用のコンタクトホール38の形成位置においては、ポリシリコン層32上に、ゲート絶縁膜33及び第2層間絶縁層42並びに第3層間絶縁層43が形成されることになる。これにより、前記遮光層3上に形成された層の厚さよりも、前記ポリシリコン層32上に形成された層の厚さの方が大きくなる。

【0116】従って、図10の工程(10)に示すように、画素電極11用のコンタクトホール38の形成工程を、第1の実施の形態と同様に異方性ドライエッチングで行った場合でも、画素電極11用のコンタクトホール38側にオーバーエッチングを生じさせず、当該コンタクトホール38を形成すると同時に、前記遮光層3用のコンタクトホール81が形成される。

【0117】そして、図10の工程(11)に示すように、ITO等からなる画素電極11と同じくITO等からなる定電位配線84が形成されることになる。

【0118】以上のように本実施形態によれば、遮光層3用のコンタクトホールの形成のみを行う工程を省略することができ、異方性エッチングにより所望の大きさのコンタクトホール81を形成することができる。

【0119】また、前記ホール81'内に形成された第3層間絶縁層43により、ホール81'の内周面が覆われることになり、画素電極11用のコンタクトホール38の形成にドライエッチングだけでなくウェットエッチングを併用した場合であっても、第2層間絶縁層42とHTO膜33'と第1層間絶縁層41の界面をホール81'側に露出させず、サイドエッチングを確実に防ぐことができるという効果もある。

【0120】以上説明したように、本実施形態においても、図6の工程(5')に示した工程を省略しつつ、遮光層3用のコンタクトホールを形成することができる。

（第3の実施の形態）次に、本発明の第3の実施の形態を図11に基づいて説明する。なお、上述した各実施の形態と共通する箇所の説明は省略する。

【0121】本実施形態は、第2の実施の形態のように、遮光層3にコンタクトホール81を介して画素電極

11と同様のITOからなる定電位配線84を電氣的に接続した場合の、当該定電位配線84と上述した実装端子102との接続例を示すものである。

【0122】図4に示す実装端子102は、アルミニウムからなる配線により、各電極等と電氣的に接続されているが、図11(B)に示すようにITOからなる配線85とアルミニウムからなる配線86とを直接に接触させた場合には、電食によりアルミニウムが腐食するという問題が発生する。

【0123】そこで、本実施形態では、図11(A)に示すように、チャンネル層を形成するポリシリコン層32を介してITOからなる配線85とアルミニウムからなる配線86とを電氣的に接続している。このITOからなる配線85は、図11(A)に示すように前記定電位配線84と接続されているため、結局、前記遮光層3と前記実装端子102との電氣的接続がなされる。

【0124】また、図11(C)に示すように、ゲート電極31を介してITOからなる配線85とアルミニウムからなる配線86とを電氣的に接続するようにしても良い。

【0125】本実施形態のように構成することで、遮光層3と電氣的に接続される定電位配線として、ITOを用いた場合でも、実装端子102との良好な電氣的接続を実現することができる。

【0126】なお、以上説明した各実施の形態における液晶表示パネル100は、カラー液晶プロジェクトに適用されるため、3つの液晶表示パネル100がRGB用のライトバルブとして夫々用いられ、各パネルには夫々RGB色分解用のダイクロイックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の形態では、対向基板2に、カラーフィルタは設けられていない。しかしながら、液晶表示パネル100においてもブラックマトリクス23の形成されていない画素電極11に対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板2上に形成してもよい。このようにすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶表示装置に本実施の形態の液晶表示パネルを適用できる。

【0127】各実施の形態の液晶表示パネル100では、従来と同様に入射光を対向基板2の側から入射することとしたが、遮光層3が存在するので、TFTアレイ基板1の側から入射光を入射し、対向基板2の側から出射するようにしても良い。即ち、このように液晶表示パネル100a液晶プロジェクトに取り付けても、チャンネル形成用のa-Si層32に光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。

【0128】各実施の形態の液晶表示パネル100において、TFTアレイ基板1側における液晶分子の配向不良を抑制するために、第3層間絶縁層43の上に更に平

坦化膜をスピンコート等で塗布してもよい。

【0129】また、各実施の形態では、液晶表示パネル100のスイッチング素子は、正スタガ型のp-SiTFTであるとして説明したが、逆スタガ型のTFTやa-SiTFT等の他の形式のTFTに対しても、戻り光がチャンネル形成用の半導体層に入射するのを阻止するという課題の下に、各種の形態での応用が可能である。

【0130】更に、各実施の形態の液晶表示パネル100においては、一例として液晶層50をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜12及び22、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶表示パネルの高輝度化や低消費電力化の利点を得られる。更に、画素電極11をA1等の反射率の高い金属膜から構成することにより、液晶表示パネル100を反射型液晶表示装置に適用する場合には、電圧無印加状態で液晶分子がほぼ垂直配向されたSH(スーパーホメオトロピック)型液晶などを用いても良い。更にまた、液晶表示パネル100においては、液晶層50に対し垂直な電界(縦電界)を印加するように対向基板2の側に共通電極21を設けているが、液晶層50に平行な電界(横電界)を印加するように一対の横電界発生用の電極から画素電極11を夫々構成する(即ち、対向基板2の側には縦電界発生用の電極を設けることなく、TFTアレイ基板1の側に横電界発生用の電極を設ける)ことも可能である。このように横電界を用いると、縦電界を用いた場合よりも視野角を広げる上で有利である。その他、各種の液晶材料(液晶相)、動作モード、液晶配列、駆動方法等に本実施の形態を適用することが可能である。

【0131】

【発明の効果】請求項1に記載の液晶表示パネルの製造方法によれば、導電層を形成して遮光層と電氣的に接続する工程を、スイッチング素子のチャンネル層との選択比の高いエッチングにより、信号電極とチャンネル層との電氣的接続を行うためのコンタクトホールと遮光層と導電層との電氣的接続を行うための遮光層用のコンタクトホールとを同時に形成する工程と、信号電極と同材料の導電層を信号電極と同時に形成する工程とから構成したので、液晶表示パネルの製造工程を削減しつつ、遮光層の電位を安定して一定の電位に維持できる液晶表示パネルを製造することができる。

【0132】請求項2に記載の液晶表示パネルの製造方法によれば、導電層を形成して遮光層と電氣的に接続する工程を、信号電極とチャンネル層との電氣的接続を行うためのコンタクトホールと、遮光層と導電層との電氣的接続を行うための遮光層用のコンタクトホールの基礎となるホールとを同時に形成する工程と、前記基礎となるホール及び信号電極上に絶縁層を設ける工程と、チャンネル層と画素電極との電氣的接続を行うためのコンタクト

ホールと、前記基礎となるホール上の絶縁層から遮光層に至る前記遮光層用コンタクトホールとを同時に形成する工程と、画素電極と同材料の導電層を画素電極と同時に形成する工程とから構成したので、液晶表示パネルの製造工程を削減しつつ、遮光層の電位を安定して一定の電位に維持できる液晶表示パネルを製造することができる。

【0133】請求項3に記載の液晶表示パネルによれば、請求項2に記載の製造方法により少ない工程で透明導電膜と遮光層とが電氣的に接続された液晶表示パネルを製造した場合でも、前記透明導電膜と液晶表示パネルの実装端子に電氣的に接続される金属層とを、スイッチング素子のチャネル層またはゲート電極を介して電氣的に接続したので、電食による金属層の腐食を防ぐことができ、遮光層と実装端子との電氣的接続を長期間に渡って良好に保つことができ、遮光層の電位を一定の電位に維持することができる。その結果、スイッチング素子のスイッチング特性に悪影響を与えることがなく、高コントラストで色付きのよい高画質の画像表示が可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態の液晶表示パネルの構成を示す断面図である。

【図2】 図1の液晶表示パネルを構成するTFTアレ基板の上に形成される各層の透視図である。

【図3】 図1の液晶表示パネルを構成する蓄積容量の断面図である。

【図4】 図1の液晶表示パネルの全体的な構成を示す平面図である。

【図5】 図4のH-H'線断面図である。

【図6】 比較例の液晶表示パネルの製造プロセスを順を追って示す工程図（その1）である。

【図7】 比較例の液晶表示パネルの製造プロセスを順を追って示す工程図（その2）である。

【図8】 図1の液晶表示パネルの製造プロセスを順を追って示す工程図（その1）である。

【図9】 図1の液晶表示パネルの製造プロセスを順を追って示す工程図（その2）である。

【図10】 本発明の第2の実施の形態における液晶表

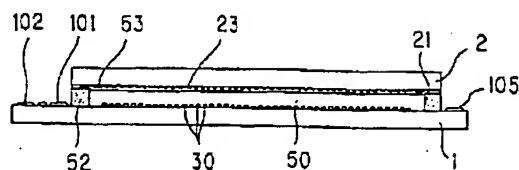
示パネルの製造プロセスを順を追って示す工程図である。

【図11】 遮光層と電氣的に接続された定電位配線の接続例を示す図であり、（A）は本発明の第3の実施の形態における接続例を示す断面図、（B）は比較例の接続例を示す断面図、（C）は本発明の第3の実施の形態における他の接続例を示す断面図である。

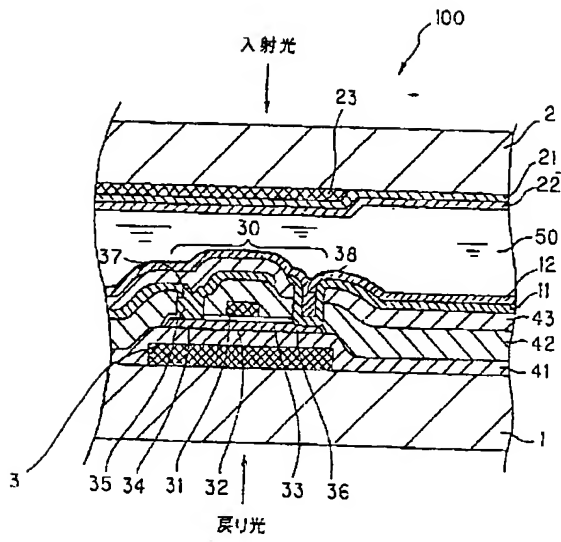
【符号の説明】

- 1…TFTアレ基板
- 2…対向基板
- 3…遮光層
- 3a…コンタクト部
- 11…画素電極
- 12…配向膜
- 21…共通電極
- 22…配向膜
- 30…TFT
- 31…ゲート電極
- 32…p-Si層
- 33…ゲート絶縁層
- 33'…熱酸化膜
- 33''…HTO膜
- 34…ソース領域
- 35…ソース電極（信号電極）
- 36…ドレイン領域
- 37、38…コンタクトホール
- 41…第1層間絶縁層
- 42…第2層間絶縁層
- 43…第3層間絶縁層
- 50…液晶層
- 52…シール剤
- 81…コンタクトホール
- 82…スリット
- 83、84…定電位配線
- 100…液晶表示パネル
- 101…X側駆動用ドライバ回路
- 102…外部実装端子
- 104…Y側駆動用ドライバ回路

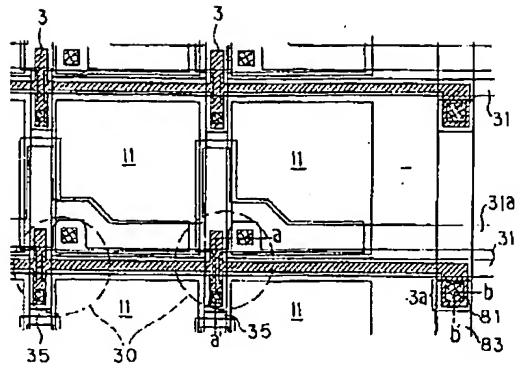
【図5】



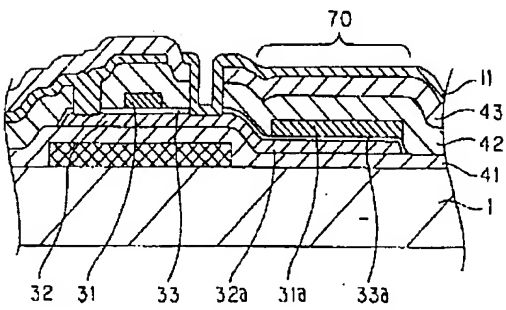
【図1】



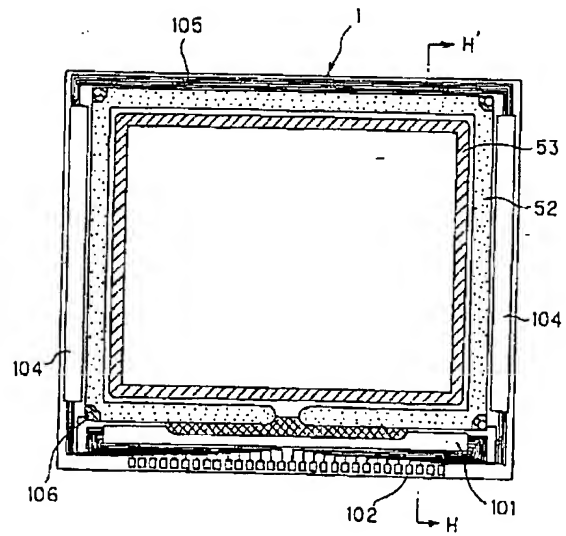
【図2】



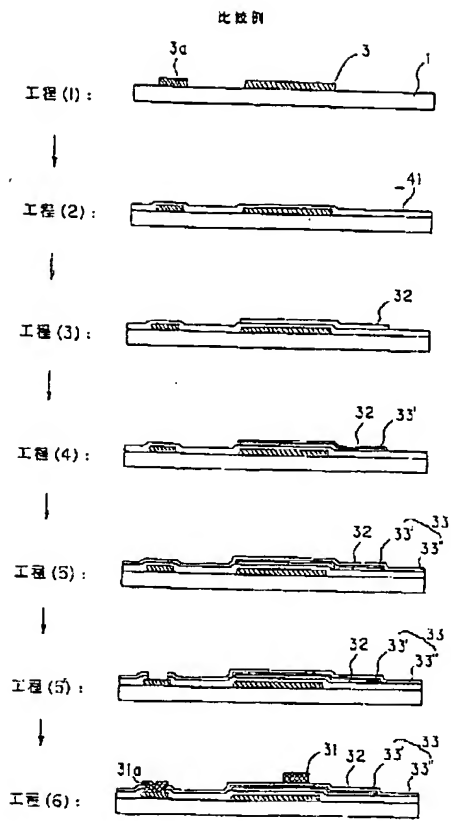
【図3】



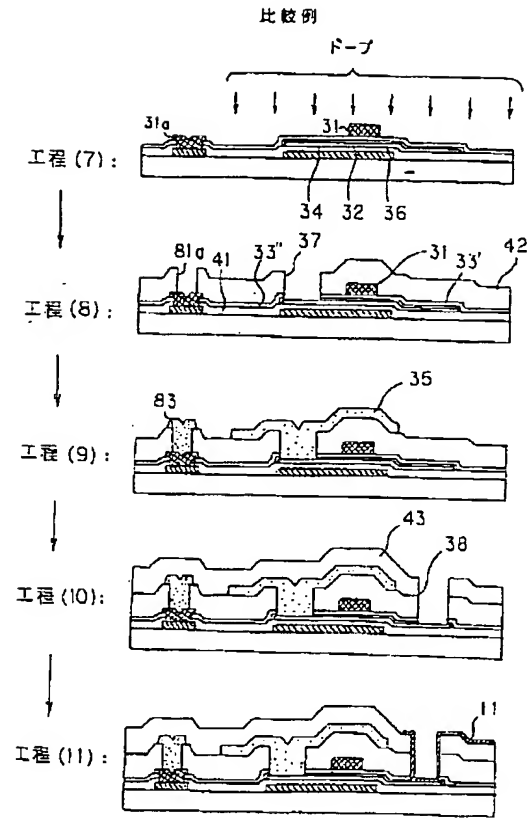
【図4】



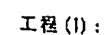
【図6】



【図7】



実施形態



工程(2):

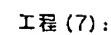
工程 (3) :

工程(4):

工程 (5) :

工程 (6) :

吴旌形態



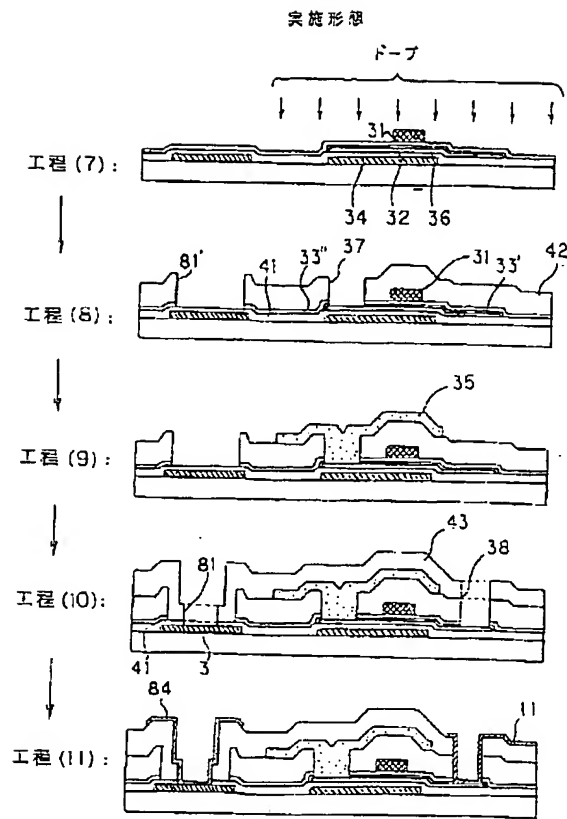
工程(8):

工程 (9) :

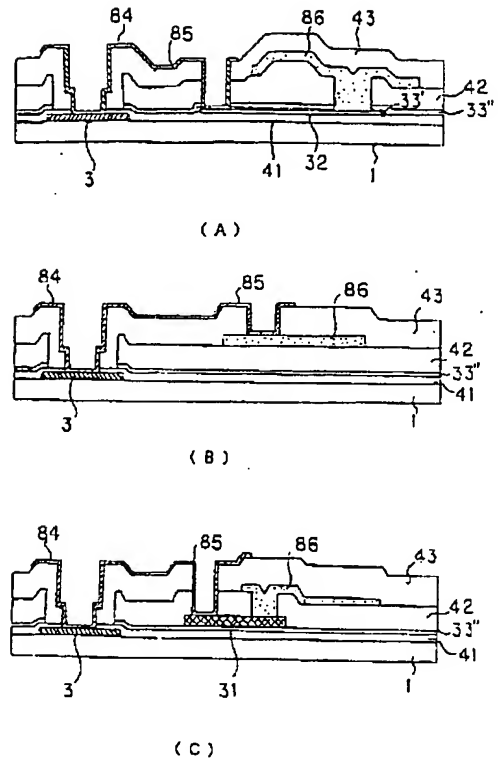
工程 (10):

工程 (11) :

【図10】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.